

PATENT ABSTRACTS OF JAPAN

English translation
of Abstract of
Reference 5

(11)Publication number : 2003-174191
(43)Date of publication of application : 20.06.2003

(51)Int.Cl.

H01L 33/00
H01L 21/205

(21)Application number : 2002-179915

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.06.2002

(72)Inventor : YOSHITAKE HARUJI
SEKIGUCHI HIDEKI
YAMASHITA ATSUKO
TAKIMOTO KAZUHIRO
TAKAHASHI KOICHI

(30)Priority

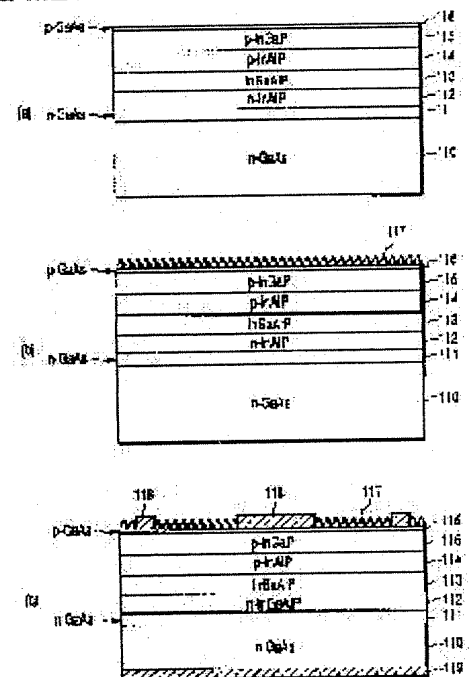
Priority number : 2001191724 Priority date : 25.06.2001 Priority country : JP
2001297042 27.09.2001 JP

(54) SEMICONDUCTOR LIGHT-EMITTING DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent light-deriving efficiency from decreasing due to the influence of the total reflection of light at the boundary between the uppermost layer of a semiconductor multilayer film containing an emission layer and a transparent resin, and to improve the light-deriving efficiency.

SOLUTION: A double hetero structure section is formed on an n-type GaAs substrate 110, where the double hetero structure section comprises an n-type InAlP cladding layer 112, an InGaAlP active layer 113, and a p-type AlP cladding layer 114. On the double hetero structure section, a p-type InGaP current diffusion layer 115, and a p-type GaAs contact layer 116 are formed. Then, in a green LED where a p-side electrode 118 is partially formed on the contact layer 116, a reflection prevention film 117 is formed at a portion where no electrodes 118 are formed on the contact layer 116. The surface of the reflection prevention film 117 is subjected to roughening machining, thus setting the surface roughness (PV value (max-min)) to 200 nm or higher and an emission wavelength or less.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-174191

(P2003-174191A)

(43) 公開日 平成15年6月20日 (2003. 6. 20)

(51) Int.Cl.⁷H 0 1 L 33/00
21/205

識別記号

F I

H 0 1 L 33/00
21/205

テーマコード(参考)

B 5 F 0 4 1
5 F 0 4 5

審査請求 未請求 請求項の数26 O L (全 13 頁)

(21) 出願番号 特願2002-179915(P2002-179915)

(22) 出願日 平成14年6月20日 (2002. 6. 20)

(31) 優先権主張番号 特願2001-191724(P2001-191724)

(32) 優先日 平成13年6月25日 (2001. 6. 25)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-297042(P2001-297042)

(32) 優先日 平成13年9月27日 (2001. 9. 27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 吉武 春二

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

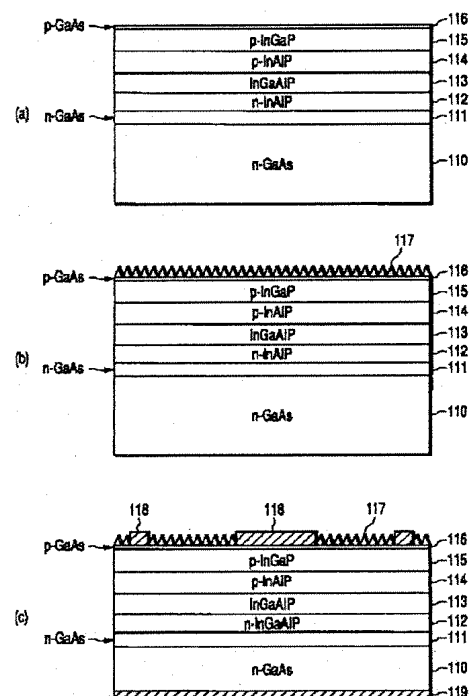
最終頁に続く

(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【要約】

【課題】 発光層を含む半導体多層膜の最上層と透明樹脂との境界における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかる。

【解決手段】 n型GaAs基板110上に、n型InAlPクラッド層112、InGaAlP活性層113、及びp型InAlPクラッド層114からなるダブルヘテロ構造部を形成し、その上にp型InGaP電流拡散層115、p型GaAsコンタクト層116を形成し、コンタクト層116上に部分的にp側電極118を形成した緑色LEDにおいて、コンタクト層116上で電極118が形成されていない部分に反射防止膜117を形成し、この反射防止膜117の表面を粗面加工し、表面ラフネス(PV値(max-min))を、200nm以上で且つ発光波長以下に設定した。



【特許請求の範囲】

【請求項 1】主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられた複数の錐体状の突起物を具備してなる面発光型の半導体発光素子であって、前記複数の突起物における底面と側面との交差角度は、30度以上で70度以下に設定されていることを特徴とする半導体発光素子。

【請求項 2】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に透明電極が形成され、前記突起物は前記透明電極の直下のクラッド層の表面に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 3】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記突起物は前記電流拡散層の表面に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 4】前記活性層は InGaAlP であり、前記クラッド層は InAlP であることを特徴とする請求項 2 又は 3 記載の半導体発光素子。

【請求項 5】前記突起物は、円錐又は角錐であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 6】前記光取り出し面側における前記突起物の占有面積の割合は、50%以上であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 7】前記突起物は周期的に設けられており、周期は $0.5\ \mu\text{m}$ 以上であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 8】前記突起物は、その90%以上が前記交差角度30度以上70度以下を満足するものであることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 9】主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜とを具備してなる半導体発光素子であって、前記半導体多層膜の前記基板と反対側の光取り出し面が多数の凹凸形状を有するように粗面加工され、この粗面加工された面における各凹凸の頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする半導体発光素子。

【請求項 10】主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられ、表面が複数の凹凸形状を有するように粗面加工され

た反射防止膜とを具備してなる半導体発光素子であって、

前記反射防止膜の各凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする半導体発光素子。

【請求項 11】主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に部分的に形成された第1の電極と、前記半導体多層膜の光取り出し面側に前記第1の電極を除く部分に設けられ、表面が多数の凹凸形状を有するように粗面加工された反射防止膜と、前記基板の裏面側の全面に形成された第2の電極とを具備してなる半導体発光素子であって、前記反射防止膜の凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする半導体発光素子。

【請求項 12】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に透明電極が形成され、前記透明電極の直下のクラッド層の表面が粗面加工されていることを特徴とする請求項 9 記載の半導体発光素子。

【請求項 13】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記電流拡散層の表面が粗面加工されていることを特徴とする請求項 9 記載の半導体発光素子。

【請求項 14】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の基板と反対側のクラッド層上に電流拡散層が形成されていることを特徴とする請求項 10 記載の半導体発光素子。

【請求項 15】前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記第1の電極及び反射防止膜は前記電流拡散層の表面に形成されていることを特徴とする請求項 11 記載の半導体発光素子。

【請求項 16】前記活性層は InGaAlP であり、前記クラッド層は InAlP であることを特徴とする請求項 12～15 の何れかに記載の半導体発光素子。

【請求項 17】前記粗面加工による凹凸は周期的に形成されており、前記発光波長を λ としたとき、凹凸の周期は 0.5λ 以下であることを特徴とする請求項 9～11 の何れかに記載の半導体発光素子。

【請求項 18】前記反射防止膜の屈折率は、前記半導体多層膜の光取り出し面側に充填する透明樹脂よりも高

10

20

30

40

50

く、且つ前記半導体多層膜の最上層よりも低く設定されていることを特徴とする請求項10又は11記載の半導体発光素子。

【請求項19】第1導電型の化合物半導体基板と、前記基板上に第1導電型のクラッド層、活性層、及び第2導電型のクラッド層を形成してなるダブルヘテロ構造部と、前記ダブルヘテロ構造部の第2導電型クラッド層上に形成された第2導電型の電流拡散層と、前記電流拡散層上に形成された第2導電型のコンタクト層と、前記コンタクト層上に選択的に形成された上部電極と、前記基板の裏面側に形成された下部電極と、前記コンタクト層上で前記電極が形成されてない部分に形成された反射防止膜とを具備してなる半導体発光素子であって、前記反射防止膜の表面は多数の凹凸を有する形状に粗面加工され、粗面加工による凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする半導体発光素子。

【請求項20】請求項1記載の半導体発光素子を製造する方法であって、前記半導体多層膜の光取り出し面側に位置しV族元素としてPを含む層を成長する際に、成長時のPH₂分圧を1〜20Paに設定し、成長表面に前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項21】請求項1記載の半導体発光素子を製造する方法であって、前記半導体多層膜の光取り出し面側に位置する所定の層を、先端角が120度以下のグラインダーでランダム方向に表面を荒らすことにより、前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項22】請求項1記載の半導体発光素子を製造する方法であって、前記半導体多層膜の光取り出し面側に位置しV族元素としてPを含む層を、該層のV族元素とは異なるV族元素と水素ガスを用いてアニールすることにより、前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項23】請求項10又は11記載の半導体発光素子を製造する方法であって、前記反射防止膜の形成に際して、該反射防止膜を塗布形成した後に、凹凸を有する金型でプレス加工することを特徴とする半導体発光素子の製造方法。

【請求項24】請求項10又は11記載の半導体発光素子を製造する方法であって、前記反射防止膜の形成に際して、該反射防止膜を成膜した後に、グラインダーでランダム方向に表面を荒らすことを特徴とする半導体発光素子の製造方法。

【請求項25】第1導電型の化合物半導体基板上に、活性層を第1導電型のクラッド層及び第2導電型のクラッド層で挟んだダブルヘテロ構造部を形成する工程と、前

記ダブルヘテロ構造部の第2導電型クラッド層上に第2導電型の電流拡散層を形成する工程と、前記電流拡散層上に第2導電型のコンタクト層を形成する工程と、前記コンタクト層上に表面ラフネス（PV値（max-min））が前記発光層における発光波長以下に設定された反射防止膜を形成する工程と、前記反射防止膜を一部除去して露出された前記コンタクト層上に上部電極を形成する工程と、前記基板の裏面側に下部電極を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項26】前記凹凸の高さが200nm以上に設定されていることを特徴とする請求項9、10、11、19の何れかに記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LED（Light Emitting Diode）やLD（Laser Diode）等の半導体発光素子に係わり、特に光取り出し面の粗面化をはかった半導体発光素子及びその製造方法に関する。

【0002】

20 【従来の技術】従来、高輝度のLEDは、半導体基板上にダブルヘテロ構造等からなる発光部を形成し、この発光部の上に電流拡散層を形成することによって構成される。このため、高輝度のLEDを樹脂によってパッケージングした場合、電流拡散層の上部は、素子保護のための透明樹脂で覆われた構造となってしまう。

30 【0003】このような構造では、電流拡散層（屈折率：3.1〜3.5）と透明樹脂（屈折率：1.5程度）との間の臨界角は25〜29度となる。発光部から透明樹脂側に向かう光のうち、電流拡散層と透明樹脂との界面に対する入射角が上記の臨界角よりも大きくなる光は全反射する。この影響で、LEDの内部で発生した光が外部に放出される確率が著しく低下する。そして、LEDの内部で発生した光が外部に放出される確率（光取り出し効率）は、20%程度になっているのが現状である。

【0004】なお、電流拡散層の上部に高屈折率膜を形成し、臨界角を大きくすることによって光取り出し効率を向上させる方法もある。しかし、この方法を用いても、効率向上分は20%程度と低いものであった。

40 【0005】

【発明が解決しようとする課題】このように従来、透明樹脂にてパッケージングするLEDにおいては、発光層を含む半導体多層膜の最上層と透明樹脂との境界で、界面に斜め方向から入射する光の大部分が全反射するため、光取り出し効率が低下するという問題があった。また、この問題はLEDに限るものではなく、面発光型のLDに関しても同様に言えることである。

50 【0006】本発明は、上記事情を考慮して成されたもので、その目的とするところは、発光層を含む半導体多層膜の最上層と透明樹脂との境界における光の全反射の

影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかり得る半導体発光素子及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。

【0008】即ち本発明は、主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられた複数の錐体状の突起物を具備してなる面発光型の半導体発光素子であって、前記複数の突起物における底面と側面との交差角度は、30度以上で70度以下に設定されていることを特徴とする。

【0009】また本発明は、主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜とを具備してなる半導体発光素子であって、前記半導体多層膜の前記基板と反対側の光取り出し面が多数の凹凸形状を有するように粗面加工され、この粗面加工された面における各凹凸の頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする。また本発明は、主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられ、表面が複数の凹凸形状を有するように粗面加工された反射防止膜とを具備してなる半導体発光素子であって、前記反射防止膜の各凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする。

【0010】また本発明は、主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に部分的に形成された第1の電極と、前記半導体多層膜の光取り出し面側に前記第1の電極を除く部分に設けられ、表面が多数の凹凸形状を有するように粗面加工された反射防止膜と、前記基板の裏面側の全面に形成された第2の電極とを具備してなる半導体発光素子であって、前記反射防止膜の凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする。

【0011】また本発明は、第1導電型の化合物半導体基板と、前記基板上に第1導電型のクラッド層、活性層、及び第2導電型のクラッド層を形成してなるダブルヘテロ構造部と、前記ダブルヘテロ構造部の第2導電型クラッド層上に形成された第2導電型の電流拡散層と、前記電流拡散層上に形成された第2導電型のコンタクト層と、前記コンタクト層上に選択的に形成された上部電極と、前記基板の裏面側に形成された下部電極と、前記コンタクト層上で前記電極が形成されてない部分に形成された反射防止膜とを具備してなる半導体発光素子であ

って、前記反射防止膜の表面は多数の凹凸を有する形状に粗面加工され、粗面加工による凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長以下に設定されていることを特徴とする。

【0012】（作用）本発明によれば、半導体多層膜の光取り出し面側に複数の錐体状の突起物を設けることにより、発光層を含む半導体多層膜の最上層と透明樹脂との境界において入射光が全反射する確率を減らすことができる。そして、突起物の底面と側面との交差角度を30度より大きく設定することにより、光取り出し効率を大幅に向上させることが可能となる。

【0013】ここで、上記の交差角度30度と云う値は本発明者らの鋭意研究及び実験によって見出されたものであり、交差角度が30度より小さいと光取り出し効率の向上効果はあまり認められず、交差角度が30度以上になると1割以上の光取り出し効率の向上が認められた。また、交差角度が70度越えると光取り出し効率の低下が認められると共に、その製作が難しくなる。従って、単に光取り出し面を粗面化するのではなく、突起物の底面と側面との交差角度を30度以上で70度以下に設定することにより、光取り出し効率の大幅な向上を実現できることになる。

【0014】また本発明によれば、半導体多層膜の光取り出し面側に表面を粗く形成した反射防止膜を設けることにより、発光層を含む半導体多層膜の最上層と透明樹脂との境界において入射光が全反射する確率を減らすことができる。そして、反射防止膜の表面ラフネスを50nm以上、より望ましくは200nm以上で発光波長以下に設定することにより、光取り出し効率を大幅に向上させることが可能となる。また、反射防止膜の屈折率を、本素子をパッケージする際に用いる透明樹脂と半導体多層膜の最上層との間に設定することにより、光取り出し効率の向上効果を更に高めることができる。

【0015】ここで、従来構造では、半導体多層膜の屈折率が約3.5であるのに対して樹脂封止のための透明樹脂の屈折率は約1.5であり、大きな屈折率差がある。この場合、半導体多層膜側から透明樹脂側に向かう光における全反射の臨界角が小さくなる。本発明では、半導体多層膜と透明樹脂との間に屈折率がこれらの中間の反射防止膜（屈折率が1.5～3.5）を形成することにより、全反射の臨界角を大きくすることができ、これにより光取り出し効率の向上をはかることができる。しかも、反射防止膜の表面を粗面加工することにより、更なる光取り出し効率の向上を実現できることになる。

【0016】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0017】（第1の実施形態）図1(a)～(c)

は、本発明の第1の実施形態に係わる緑色LEDの素子

構造及び製造工程を示す断面図である。

【0018】まず、図1(a)に示すように、厚さ250 μ mのn型GaAs基板10の上に、V属元素の原料ガスとしてAsH₃を用いたMOCVD法により、0.5 μ m厚のn型GaAsバッファ層11を成長する。その後、V属元素の原料ガスとしてPH₃を用いたMOCVD法により、PH₃分圧が200Pa、トータル圧力が5 $\times 10^3$ Paの条件で、0.6 μ m厚のn型In_{0.5}Al_{0.5}Pクラッド層12と1.0 μ m厚のノンドープIn_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}P活性層13を順次成長する。

【0019】続いて、PH₃分圧を10Paに低減し、トータル圧力を5 $\times 10^3$ Paのまま変化させずに、MOCVD法により、1.0 μ m厚のp型In_{0.5}Al_{0.5}Pクラッド層14を成長する。その後、V属元素の原料ガスとしてAsH₃を用いたMOCVD法により、0.1 μ m厚のp型GaAsコンタクト層16を成長する。ここで、バッファ層11からコンタクト層16までの各エピタキシャル層は同一チャンバ内で連続して成長する。

【0020】上記のようにp型InAlPクラッド層14を成長する際に、MOCVD法におけるPH₃分圧を十分に低く(20Pa以下)にすると、エピタキシャル成長膜は表面が荒れた状態になる。具体的には、図2に示すように、InAlPクラッド層14の成長表面に錐体状の突起部20が生じる。そして、この突起部20の基板表面に対する角度、即ち突起部20の底面と側面との交差角度 α は30度より大きくなる。

【0021】ここで、InAlPクラッド層14の成長時のPH₃分圧が20Paを越える場合、該クラッド層14の表面荒れが少なくなり、突起部における交差角度30度以上を実現できなくなる可能性が高くなる。一方、PH₃分圧が1Paよりも低くなると、クラッド層14の表面荒れが大きくなりすぎ、しかもクラッド層14の結晶性も悪くなる。従って、InAlPクラッド層14の成長時のPH₃分圧の望ましい範囲は、1~20Paであった。

【0022】次いで、図1(b)に示すように、GaAsコンタクト層16上の一部に透明電極としてのITO膜17をスパッタ法により形成する。続いて、ITO膜17の上にp側電極(Znを含むAu)23を形成する。より具体的には、ITO膜17の上に電流ブロック層21とGaAs層22を成長した後、これらがチップ中心部に残るように選択エッチングする。そして、全面にAuZn電極23を形成した後、この電極23をGaAs層22上とITO膜17上の一部に残るようにパターニングする。

【0023】図3は、p側電極23のパターンの例を示す平面図である。この電極パターンは、ボンディングワイヤ等を接着するために素子中央部に設けられた円形の

パッド部23a、素子周辺部に設けられた周辺部23b、パッド部23aと周辺部23bとを接続する接続部23cからなる。

【0024】次いで、図1(c)に示すように、GaAs基板10の裏面を研磨して100 μ m厚まで薄くした後に、基板裏面にn側電極25(Geを含むAu)を形成する。その後、Ar雰囲気中で450℃、15分の熱処理工程を施す。続いて、各層11~22及び電極23、25を形成した基板10をスクライブすることによりチップ化する。そして、個々のチップ毎に、光取り出し面側を図示しない透明樹脂で覆うように樹脂パッケージの組立を行う。

【0025】なお、図1では1つのチップ部分しか示していないが、実際には複数チップを同時に形成するために、1つの基板10上に図1の構成部分が複数個形成されている。そして、最終段階で基板10をスクライブすることにより、基板10が複数チップに分離されることになる。

【0026】このように本実施形態によれば、p型InAlPクラッド層14の成長時にPH₃分圧を通常よりも低く設定することにより、クラッド層14の表面に錐体状の突起部20を形成することができる。この突起部20の形成により、発光層を含む半導体多層膜の最上層と透明樹脂との境界において入射光が全反射する確率を減らすことができる。特に、InAlPクラッド層14の成長時のPH₃分圧を1~20Paに設定することにより、表面円錐の角度 α を30度以上にすることができる。

【0027】ここで、突起部20の基板表面と成す角度 α と樹脂入射確率(光取り出し効率)との関係を、図4に示す。図4で、横軸は角度、縦軸は光取り出し効率を示している。光取り出し効率は、突起部20が無く表面が平坦な場合を1としている。角度 α が30度以上になると1割以上の向上が認められた。また、角度 α が大きくなりすぎると逆に効率の低下が認められ、70度を越えると1割以下になった。従って、角度 α の望ましい範囲は30度以上で70度以下である。

【0028】本実施形態のような突起部構造を採用することにより、図4に示すように、光取り出し効率が従来の1.15倍に向上した。このように、基本的なデバイス構造を変えずに光取り出し効率を上昇させることができるのは、LEDにとって極めて大きな効果である。

【0029】なお、突起部20の基板表面と成す角度 α を30度以上にする場合、必ずしも全ての突起部がこれを満足する必要はなく、大部分(例えば90%以上)がこれを満足するものであればよい。ちなみに、全ての突起部が角度 α が30度以上で70度以下となるように作ろうとしても、一部に角度 α が30度より小さい部分や70度を越える部分が出現することがあるが、この部分

の割合が十分に低いものであれば何ら問題ない。

【0030】このように本実施形態では、単に光取り出し面を粗面化するのではなく、突起部20の底面と側面との交差角度 α を30度以上で70度以下に設定することにより、光取り出し効率の大幅な向上を実現できることになる。

【0031】なお、光取り出し面側に形成される突起部20の周期が極端に小さくなると光取り出し効率の向上効果は少なくなる。本発明者らの実験によれば、突起部の突起部20の周期が0.5 μ m以上であれば十分な効果が認められた。また、透明電極20上の電流ブロック層21とGaAs層22は必ずしも必要でなく、透明電極上20に直接金属電極23を形成しても、同様な効果を確認している。

【0032】(第2の実施形態)図5は、本発明の第2の実施形態に係わる緑色LEDの素子構造を示す断面図である。

【0033】本実施形態は、n、pの成長層を第1の実施形態と逆にしたものであり、基本的な構成及び製法は第1の実施形態と同様である。

【0034】p型GaAs基板30の上に、0.5 μ m厚のp型GaAsバッファ層31、0.6 μ m厚のp型In_{0.5}Al_{0.5}Pクラッド層32、1.0 μ m厚のノンドープInGaAlP活性層33、1.0 μ m厚のn型In_{0.5}Al_{0.5}Pクラッド層34、0.1 μ m厚のn型GaAsコンタクト層36がMOCVD法で成長され、その上に透明電極のITO膜37がスパッタで形成されている。

【0035】ここで、第1の実施形態と同様に、n型InAlPクラッド層34を成長する際に、MOCVD法におけるPH₃分圧を十分に低く(20Pa以下)する。これにより、n型InAlPクラッド層34の表面には、第1の実施形態と同様に錐体状の突起部が形成され、この突起部の基板表面に対する角度 α は30度よりも大きくなる。

【0036】また、ITO膜37の上に電流ブロック層41とGaAs層42が選択的に形成され、GaAs層42上及びITO膜37上の一部にAuGeからなるn側電極43が形成されている。そして、GaAs基板30の裏面に、ZnAuからなるp側電極45が形成されている。

【0037】このような構成であっても、n型InAlPクラッド層34の表面に設けた錐体状の突起部により、パッケージのための透明樹脂に対する光の入射確率を高めることができ、第1の実施形態と同様の効果が得られる。

【0038】(第3の実施形態)図6(a)(b)は、本発明の第3の実施形態に係わる緑色LEDの素子構造及び製造工程を示す断面図である。

【0039】まず、図6(a)に示すように、厚さ25

0 μ mのn型GaAs基板50の上に、MOCVD法により、0.6 μ m厚のn型In_{0.5}Al_{0.5}Pクラッド層52、1.0 μ m厚のノンドープIn_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}P活性層53、1.0 μ m厚のp型In_{0.5}Al_{0.5}Pクラッド層54、3.0 μ m厚のn型InGaP電流拡散層55、0.1 μ m厚のp-GaAsコンタクト層56を上記順に成長する。これらのエピタキシャル成長には、第1の実施形態と同様にMOCVD法を用いた。

【0040】次いで、新たにエピタキシャル表面形状を変えるためのアニール工程(温度はエピタキシャル温度と同等又はそれ以上(600℃以上))を導入することにより、電流拡散層55の表面を荒らして突起部を形成する。その後、電流拡散層55上にp側電極63を形成し、更に基板50の裏面にn側電極65を形成した後に露出部のp-GaAs層56を除去することにより、図6(b)に示す構造が実現される。

【0041】ここで、上記のアニール工程における表面粗面化について、更に詳しく説明しておく。アニール工程で使用するガスとして、水素等の不活性ガスとエピタキシャル膜(III-V族化合物、例えばInGaAlP)を構成するV属元素(例えばP)とは異なるV属ガス(例えばAsH₃)を導入する。そして、エピタキシャル表面層のV属元素(P)の再蒸発を行う。さらに、次工程として、荒れた表面上にエピタキシャル工程(膜種:透明膜(例えばGaP))を導入する。

【0042】これにより、図7に示すように、InGaP電流拡散層55の表面部でPの抜けが起こり荒れた表面となる。そして、この荒れたInGaP57に透明なGaP層58が成長されることになる。目的の表面形状は、発光効率を向上させる構造として、従来のエピタキシャル表面の形状であった鏡面(R_{max}=5nm)状態から、複数の凸状の円錐が連なる形状とする。ここで、底面と垂直断面の交差角度は30度よりも大きい角度である。

【0043】このような構成であっても、光取り出し側の電流拡散層55の表面に設けた円錐体状の突起部により、光の樹脂入射確率を高めることができ、第1の実施形態と同様の効果が得られる。

【0044】なお、p-GaAsコンタクト層56は電極部以外では除去しなくてもよいが、発光波長の光吸収となる場合は除去した方が望ましい。

【0045】(第4の実施形態)図8は、本発明の第4の実施形態に係わる面発光型LEDの素子構造を示す断面図である。

【0046】まず、250 μ m厚のn型GaAs基板70の上に、0.5 μ m厚のn型GaAsバッファ層71を成長し、その上にn-In_{0.5}Al_{0.5}P/n-GaAsの積層構造からなるDBR反射層78を成長する。続いて、0.6 μ m厚のn型In_{0.5}Al_{0.5}Pクラッド

10

20

30

40

50

ド層72、ノンドープの $\text{In}_{0.5}(\text{Ga}_{0.55}\text{Al}_{0.45})_{0.5}\text{P}/\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ のMQW活性層73、更に $0.6\mu\text{m}$ 厚のp型 $\text{In}_{0.5}\text{Al}_{0.5}\text{P}$ クラッド層74を成長してダブルヘテロ構造部を形成する。続いて、p- $\text{In}_{0.5}\text{Al}_{0.5}\text{P}/\text{p-GaAs}$ の積層構造からなるDBR反射層79を成長した後に、 $1.0\mu\text{m}$ 厚のp型 $\text{In}_{0.5}\text{Al}_{0.5}\text{P}$ 電流拡散層76、更に $0.1\mu\text{m}$ 厚のp型GaAsコンタクト層77を成長する。

【0047】ここで、バッファ層71からコンタクト層77までのエピタキシャル膜は、MOCVD法を用いて同一チャンバ内で連続して成長し、用いるガスの種類や圧力は各層が良好に成長される条件にする。但し、電流拡散層76を形成する際には、第1の実施形態と同様に PH_3 分圧を十分に低減し(例えば 10Pa)、成長表面が荒れるようにする。

【0048】次いで、コンタクト層77上にレジストパターンを形成した後、このレジストパターンをマスクにn型クラッド層72までエッチングすることにより、レーザーリッジの形成を行う。続いて、リッジの上面を除くように絶縁膜81を形成した後、p側電極(Znを含むAu)を蒸着する。そして、レジストマスクを用いてp側電極のリッジ中央部に位置する部分を除去し、更にp-GaAsコンタクト層77を除去することにより、上部電極83を形成する。続いて、GaAs基板70を研磨し $100\mu\text{m}$ 厚にした後に、n側電極(Geを含むAu)85を形成する。次いで、Ar雰囲気中で 450°C 、15分の熱処理を行う。続いて、基板70をスクライプすることによりチップ化する。その後、樹脂パッケージに組立を行う。

【0049】このように構成された本実施形態においては、p型電流拡散層76の成長時に PH_3 分圧を低減することにより、p型電流拡散層76の表面に凹凸を形成し、表面円錐の角度を 30° よりも大きくすることができる。このため、第1の実施形態と同様に、光取り出し効率の向上をはかることができる。本実施形態のレーザーは赤色発光であるが、赤以外の半導体レーザーにおいても上記効果を確認している。

【0050】なお、p-GaAsコンタクト層77は除去しなくてもよいが、発光波長の光吸収となる場合は除去した方が望ましい。

【0051】(第5の実施形態)図9(a)～(c)は、本発明の第5の実施形態に係わる緑色LEDの素子構造及び製造工程を示す断面図である。

【0052】まず、図9(a)に示すように、厚さ $250\mu\text{m}$ のn型GaAs基板110の上に、V属元素の原料ガスとして AsH_3 を用いたMOCVD法により $0.5\mu\text{m}$ 厚のn型GaAsバッファ層111を成長する。続いて、V属元素の原料ガスとして PH_3 を用いたMOCVD法により、 PH_3 分圧が 200Pa 、トータル圧力が $5\times 10^3\text{Pa}$ の条件で、 $0.6\mu\text{m}$ 厚のn型In

$0.5\text{Al}_{0.5}\text{P}$ クラッド層112、 $1.0\mu\text{m}$ 厚のノンドープInGaAlP活性層113、 $1.0\mu\text{m}$ 厚のp型 $\text{In}_{0.5}\text{Al}_{0.5}\text{P}$ クラッド層114、 $1.0\mu\text{m}$ 厚のp型InGaP電流拡散層115を順次成長する。その後、V属元素の原料ガスとして AsH_3 を用いたMOCVD法により、 $0.1\mu\text{m}$ 厚のp型GaAsコンタクト層116を成長する。ここで、バッファ層111からコンタクト層116までの各エピタキシャル層は同一バッチで成長する。

【0053】次いで、図9(b)に示すように、本実施形態の特徴である反射防止膜117を形成する。即ち、ポリイミド樹脂に TiO_2 を添加して形成された屈折率 $=2.0$ の反射防止膜117を、コンタクト層116上にスピンコートで成膜した後、該反射防止膜117の表面を発光波長以下の凹凸を持つ金型でプレス整形する。これにより、反射防止膜117の表面ラフネス(PV値(max-min))を発光波長以下に設定する。ここで、PV値とは、各凹凸における頂部(peak)と底部(valley)との距離(高さ)である。

【0054】次いで、反射防止膜117上にレジストマスク(図示せず)を形成し、RIEで電極形成部の反射防止膜117を除去した後、レジストマスクを除去する。続いて、図9(c)に示すように、反射防止膜117及び露出したコンタクト層116上に電極材料(Znを含むAu)を蒸着した後、レジストマスク(図示せず)を用いてパターニングすることにより上部電極(p側電極)118を形成する。p側電極118のパターンは、前記図3に示すものと同じである。

【0055】次いで、GaAs基板110の裏面を研磨して $100\mu\text{m}$ 厚にした後に、n側電極となる下部電極119(Geを含むAu)を形成する。その後、Ar雰囲気中で 450°C 、15分の熱処理工程を施す。続いて、基板110をスクライプすることによりチップ化する。そして、組立ワイヤボンディング後、エポキシ系樹脂($n\approx 1.5$)を用いて樹脂封止する。

【0056】このように本実施形態によれば、反射防止膜117の表面を粗面化することにより、光取り出し効率が従来の約20%から約30%に向上した。即ち、光取り出し効率が従来の1.5倍に向上した。基本的なデバイス構造を変えることなく、光取り出し効率をこれだけ上昇させることができるのは、LEDにとって極めて大きな効果である。

【0057】図10は、PV値と光取り出し効率との関係を示す図である。PV値が大きくなるに伴い取り出し効率は向上し、PV値が 50nm となると光取り出し効率は約1.5倍となり、PV値が 200nm 以上となると光取り出し効率は約2倍でほぼ一定となる。図11は、発光波長前後におけるPV値と光取り出し効率との関係を示す図である。 640nm の発光波長に対し、それよりも短い方では十分な光取り出し効率を得られてい

るが、それよりも高くなると光取り出し効率が急激に減少している。従って、PV値の望ましい範囲は、50nm以上（より望ましくは200nm以上）で且つ発光波長よりも短い値である。

【0058】なお、PV値が50nm以上（より望ましくは200nm以上）で且つ発光波長以下とは、必ずしも全ての凹凸でこれを満足する必要はなく、大部分（例えば90%以上）でこれを満足すればよい。つまり、 $200\text{nm} \leq PV \leq \text{発光波長}$ に形成しようとしても、一部にこれを外れる凹凸が出現することがあるが、これが十分に低い割合であれば何ら問題ない。

【0059】図12は、本実施形態のように反射防止膜の表面を粗面化した場合の、屈折率と光取り出し効率との関係を示す図である。これは、反射防止膜の一主面に対し入射角 -90° から $+90^\circ$ で光を入射した場合に該反射防止膜の他の面から出力される光の割合を示している。屈折率が1.5（下地半導体層と同じ）を基準にすると、屈折率が2.0（本実施形態）で光取り出し効率は約50%上昇し、屈折率が2.5では約100%上昇しているのが分かる。

【0060】図13は、反射防止膜の表面が平坦な場合の、屈折率と光取り出し効率との関係を示す図である。この場合、屈折率が2.0では8%、屈折率が2.5でも9%の上昇しか得られていない。このことから、光取り出し効率を向上させるには、反射防止膜の屈折率を高くするだけではなく、反射防止膜の表面の粗面化が必須であることが分かる。

【0061】本発明者らの実験によれば、光取り出し効率の向上という観点から、反射防止膜の表面ラフネス（PV値（max-min））を発光波長 λ 以下にすれば十分な効果が得られることを確認している。さらに、反射防止膜の表面形状として、周期が 0.5λ 以下の円錐形状、又は多角形状（三角錐、四角錐、六角錐など）にすればより確実な効果が得られることも確認している。

【0062】このように本実施形態によれば、半導体多層膜の光取り出し面側に表面を粗く形成した反射防止膜を設けることにより、発光層を含む半導体多層膜の最上層と透明樹脂との境界において入射光が全反射する確率を減らすことができる。そして、反射防止膜の表面ラフネスを発光波長以下に設定することにより、光取り出し効率を大幅に向上させることが可能となる。また、反射防止膜の屈折率を、本素子をパッケージする際に用いる透明樹脂と半導体多層膜の最上層との間に設定することにより、光取り出し効率の向上効果を更に高めることができる。

【0063】ここで、従来構造では、半導体多層膜の屈折率が約3.5であるのに対して樹脂封止のための透明樹脂の屈折率は約1.5であり、大きな屈折率差がある。この場合、半導体多層膜側から透明樹脂側に向かう光における全反射の臨界角が小さくなる。本実施形態で

は、半導体多層膜と透明樹脂との間に屈折率がこれらの中間の反射防止膜（屈折率が1.5～3.5）を形成することにより、全反射の臨界角を大きくすることができ、これにより光取り出し効率の向上をはかることができる。しかも、反射防止膜の表面を粗面加工することにより、更なる光取り出し効率の向上を実現できることになる。

【0064】なお、LEDの発光波長は緑に限るものではなく、緑以外の可視光製品においても、上記効果を確認している。また、反射防止膜における波長以下の凹凸の形状は、図14(a)～(e)に示すどの構造でも光取り出し効率が向上することを確認している。

【0065】また、LED材料としては、InGaAlP以外にも、InGaAlAs系、AlGaAs系、GaP系でも同様の効果を確認している。さらに、反射防止膜の材料としては、アクリル樹脂に TiO_2 、 TaO_2 、 ZrO_2 、を混入したものでも同様な効果が得られる。

【0066】（第6の実施形態）図15は、本発明の第6の実施形態に係わる緑色LEDの素子構造を示す断面図である。

【0067】本実施形態は、第5の実施形態におけるp/nを反転した構造であり、製法は第5の実施形態と実質的に同じである。即ち、厚さ $250\mu\text{m}$ のp型GaAs基板120の上に、 $0.5\mu\text{m}$ 厚のp型GaAsバッファ層121、 $0.6\mu\text{m}$ 厚のp型の $\text{In}_{0.5}\text{Al}_{0.5}$ Pクラッド層122、 $1.0\mu\text{m}$ 厚のノンドープ $\text{In}_{0.5}(\text{Ga}_{0.55}\text{Al}_{0.45})_{0.5}$ P活性層123、 $1.0\mu\text{m}$ 厚のn型 $\text{In}_{0.5}\text{Al}_{0.5}$ Pクラッド層124、 $1.0\mu\text{m}$ 厚のn型InGaP電流拡散層125、 $0.1\mu\text{m}$ 厚のn型GaAsコンタクト層126が同一バッチで成長形成されている。

【0068】そして、第1の実施形態と同様に、コンタクト層126上に屈折率 $=2.0$ の反射防止膜127がスピンコートで成膜され、その表面は金型によるプレス整形により粗面化されている。反射防止膜127の一部（電極形成部）は除去され、この部分に露出したコンタクト層126上に上部電極（n側電極）128が形成されている。また、GaAs基板120の裏面には、p側電極となる下部電極129が形成されている。そして、上記構成されたウェハはスクライプによりチップ化され、組立ワイヤボンディング後に樹脂封止されるものとなっている。

【0069】このような構成であっても、第5の実施形態と同様に、光取り出し効率が従来の約2.5倍に向上した。また、緑以外の可視光製品においても同様の効果が得られ、さらに前記図14(a)～(e)に示すどの構造でも光取り出し効率が向上することを確認した。

【0070】（第7の実施形態）図16は、本発明の第7の実施形態に係わる面発光レーザの素子構造を示す断

面図である。

【0071】まず、250 μ m厚のn型GaAs基板130の上に、0.5 μ m厚のn型GaAsバッファ層131を成長した後、n-In_{0.5}Al_{0.5}P/n-GaAsの積層構造からなる多層反射膜132を成長した。続いて、0.6 μ m厚のn型In_{0.5}Al_{0.5}Pクラッド層133と、ノンドープのIn_{0.5}(Ga_{0.55}Al_{0.45})0.5P/In_{0.5}Ga_{0.5}PからなるMQWの活性層134と、0.6 μ m厚のp型In_{0.5}Al_{0.5}Pクラッド層135を成長した。その後、p-In_{0.5}Al_{0.5}P/p-GaAsの積層構造からなる多層反射膜136を成長した。さらに、1.0 μ m厚のp型In_{0.5}Al_{0.5}P電流拡散層137、0.1 μ m厚のp-GaAsコンタクト層138を成長した。ここで、バッファ層131からコンタクト層138までの各エピタキシャル層は、同一バッチで成長した。

【0072】次いで、コンタクト層138上にレジストマスクをストライプ状に形成した後、表面からn型クラッド層133までウェットエッチングすることにより、レーザリッジ形成を行った。続いて、リッジの上面を除くように0.5 μ m厚のSiO₂絶縁膜141を形成した。さらに、コンタクト層138及び絶縁膜141上にp側電極(Znを含むAu)を蒸着し、レジストマスクで上部電極142を形成した。ここで、上部電極142は、コンタクト層138の上面周辺部に接触することになり、コンタクト層138の上面中央部は露出することになる。

【0073】次いで、ポリイミド樹脂にTiO₂を添加した屈折率2.0の反射防止膜144をスピンコートで成膜し、その表面を波長以下の凹凸を持つ金型でプレス整形する。これにより、反射防止膜144の表面ラフネス(PV値(max-min))を発光波長以下に設定する。その後、反射防止膜144の不要部分を除去する。

【0074】次いで、GaAs基板130の裏面側を研磨し100 μ m厚にした後に、n側電極(Geを含むAu)143を形成する。さらに、熱処理として、Ar雰囲気中で450℃、15分行う。そして、ウエハにスクライブを行いチップ化した後、エポキシ系樹脂(n=約1.5)パッケージに組立を行う。

【0075】このような構成であっても、第5の実施形態と同様に、屈折率が下地半導体層と封止樹脂との中間であり、表面が粗面化された反射防止膜144を形成することにより、光取り出し効率の大幅な向上をはかることができる。さらに第5の実施形態と同様に、反射防止膜の表面形状は、前記図14(a)～(e)に示すどの構造でも光取り出し効率が向上することを確認している。また、半導体材料としては、InGaAlP以外にも、InGaAlAs系、AlGaAs系、GaP系でも同様の効果を確認している。さらに、反射防止膜の材料としては、アクリル樹脂にTiO₂、TaO₂、Zr

O₂を混入したものでも同様な効果が得られる。

【0076】(変形例)なお、本発明は上述した各実施形態に限定されるものではない。第1及び第4の実施形態では、結晶表面を荒らす方法として、成長時のPH₃分圧を10Paにしたが、PH₃分圧は1～20Paの範囲で適宜定めればよい。また、第3の実施形態では、結晶表面を荒らす方法として、AsH₃を導入してアニールしたが、このアニール時に用いるガスはAsH₃に限るものではなく、粗面化すべき半導体層を構成するV族元素とは異なるV族元素と水素ガスを含むものであればよい。また、結晶表面を荒らす方法としては、上記した成長時のPH₃分圧の低減化、成長後のアニールに限るものではなく、先端角120度以下のグラインダーで半導体層の表面をランダムに加工することでも可能である。

【0077】また、突起物は円錐に限るものではなく、三角錐、四角錐、六角錐等の角錐であってもよい。突起物は光取り出し面側において必ずしも全面に形成されている必要はないが、光取り出し面側における突起物の占有面積の割合はできるだけ大きい方が望ましく、50%以上であれば十分な効果が得られる。

【0078】ここで、光取り出し効率は占有面積に比例するため、突起部の占有面積が50%以下では光取り出し効果は1/2となる(1.1倍以下)。また、突起部の周期が0.2～0.5 μ mでは光取り出し向上効果が小さくなり(1.1倍以下)、0.2 μ m以下ではグラデッドインデックス(graded-index)効果が生じることになる。

【0079】第5～第7の実施形態では、反射防止膜を粗面化するために凹凸を有する金型を用いたが、この代わりに、反射防止膜を成膜した後に、グラインダーでランダム方向に表面を荒らすようにしてもよい。この場合、樹脂系以外の各種材料を用いることが可能となる。

【0080】また、表面ラフネス(PV値)が50nm以上で且つ発光波長以下という規定は、必ずしも反射防止膜に限るものではなく、半導体多層膜の光取り出し面側であれば他の層にも適用できる。具体的には、拡散層やコンタクト層に適用することもできる。即ち、第1～第4の実施形態において、凹凸加工した表面における表面ラフネス(PV値)を発光波長以下に設定してもよい。更に、表面ラフネス(PV値)が発光波長以上という規定と、 α が30度以上という規定を両方満たすようにしても良い。

【0081】また、上部電極から活性層までの間で上部電極直下以外に電流を十分に広げることができるならば、電流拡散層は必ずしも必要なく、省略することも可能である。さらに、発光素子を構成する半導体層の材料、組成、厚さ等の条件は、仕様に応じて適宜変更可能である。

【0082】また、実施形態では、透明樹脂を用いて樹

脂封止する例を説明したが、本発明は樹脂封止する場合に限るものではない。樹脂封止しない場合、反射防止膜に直接接するのは空気となるが、この場合も半導体多層膜と空気との屈折率差が大きいため、反射防止膜を形成したことによる光取り出し効率の向上効果は同様に得られる。

【0083】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0084】

【発明の効果】以上詳述したように本発明によれば、発光層を含む半導体多層膜の光取り出し面側に複数の錐体状の突起物を設け、該突起物の側面と光取り出し面との交差角度を30度以上70度以下に設定することにより、半導体多層膜の最上層と透明樹脂との境界における全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることができる。

【0085】また本発明によれば、発光層を含む半導体多層膜の光取り出し面側に反射防止膜を形成し、この反射防止膜の表面を荒らすことにより、半導体多層膜の最上層と透明樹脂との境界における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる緑色LEDの素子構造及び製造工程を示す断面図。

【図2】図1のLEDにおける光取り出し面側に形成された突起物の形状を拡大して示す断面図。

【図3】図1のLEDにおける電極パターンの例を示す平面図。

【図4】図1のLEDにおける突起部の側面と基板表面の成す角度 α と、光取出し効果との関係を示す図。

【図5】第2の実施形態に係わる緑色LEDの素子構造を示す断面図。

【図6】第3の実施形態に係わる緑色LEDの素子構造及び製造工程を示す断面図。

【図7】第3の実施形態における光取り出し面付近の構造を拡大して示す断面図。

【図8】第4の実施形態に係わる面発光型LEDの素子構造*

* 造を示す断面図。

【図9】第5の実施形態に係わる緑色LEDの素子構造及び製造工程を示す断面図。

【図10】図5のLEDにおける凹凸の高さと光取り出し効率との関係を示す特性図。

【図11】発光波長前後における、凹凸の高さと光取り出し効率との関係を示す特性図。

【図12】反射防止膜の表面を粗面化した場合の屈折率と光取り出し効率との関係を示す図。

【図13】反射防止膜の表面が平坦な場合の屈折率と光取り出し効率との関係を示す図。

【図14】反射防止膜の粗面形状の例を示す断面図。

【図15】第6の実施形態に係わる緑色LEDの素子構造を示す断面図。

【図16】第7の実施形態に係わる面発光LEDの素子構造を示す断面図。

【符号の説明】

10...n型GaAs基板

11...n型GaAsバッファ層

12...n型InAlPクラッド層

13...InGaAlP活性層

14...p型InAlPクラッド層

16...n型GaAsコンタクト層

17...ITO膜

20...突起部

21...電流ブロック層

22...GaAs層

23...AuZn電極(p側電極)

25...AuGe電極(n側電極)

30 110...n型GaAs基板

111...n型GaAsバッファ層

112...n型InAlPクラッド層

113...InGaAlP活性層

114...p型InAlPクラッド層

115...p型InGaP電流拡散層

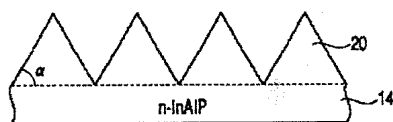
116...p型GaAsコンタクト層

117...反射防止膜

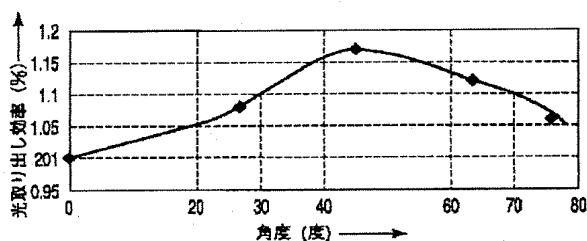
118...上部電極(p側電極)

119...下部電極(n側電極) n側電極

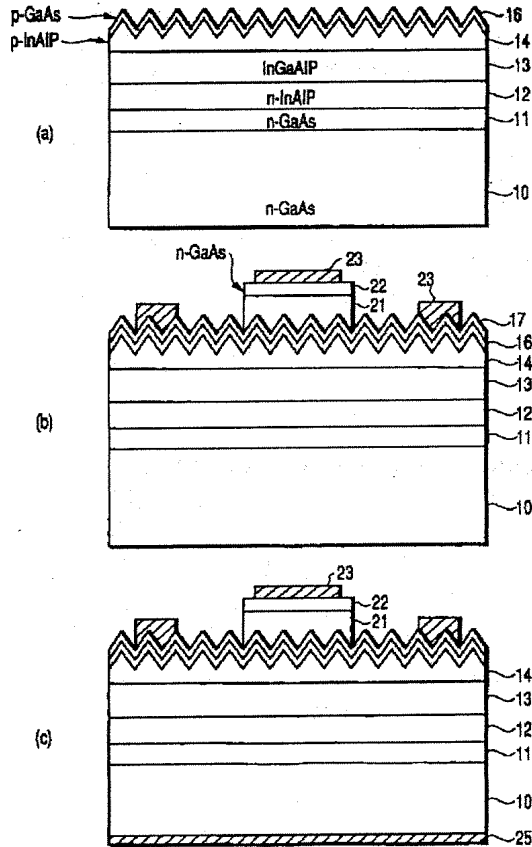
【図2】



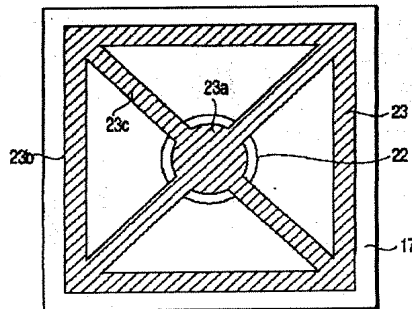
【図4】



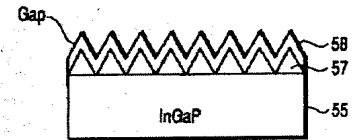
【図1】



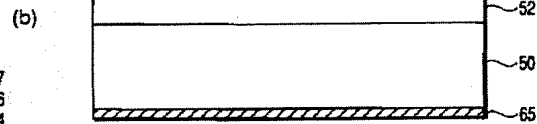
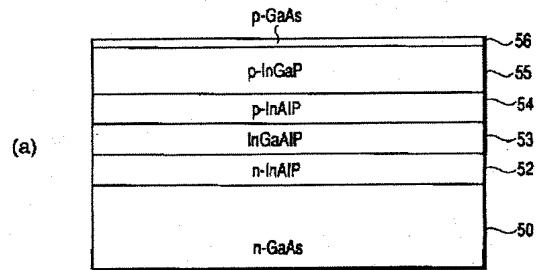
【図3】



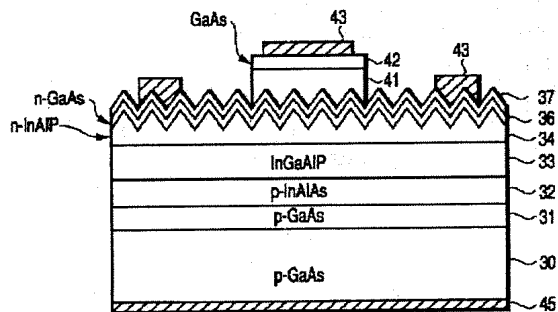
【図7】



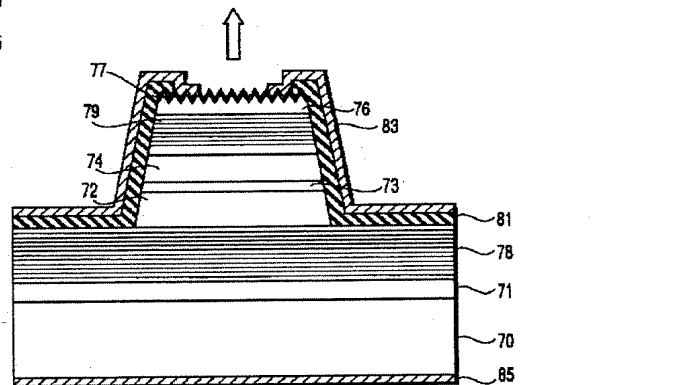
【図6】



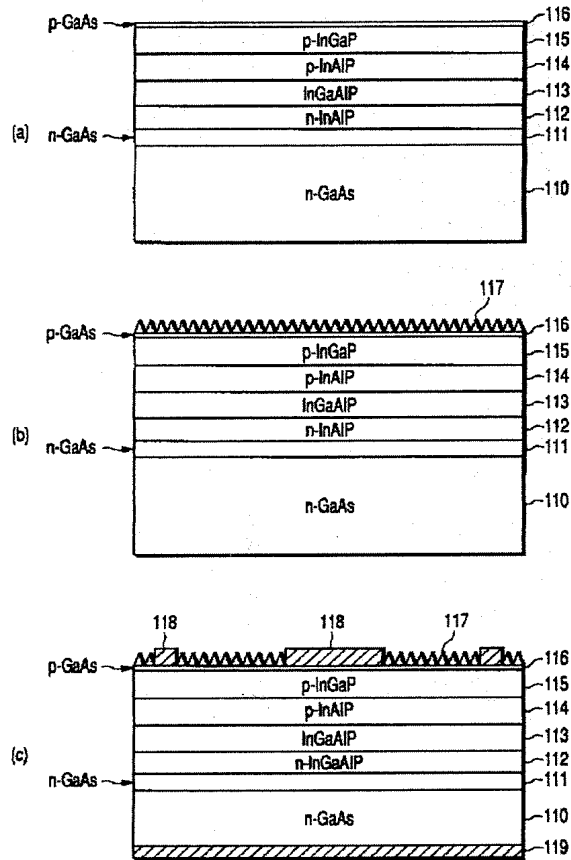
【図5】



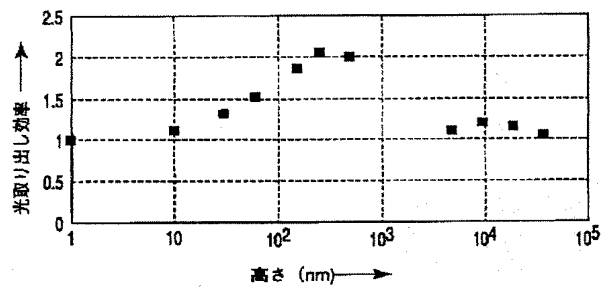
【図8】



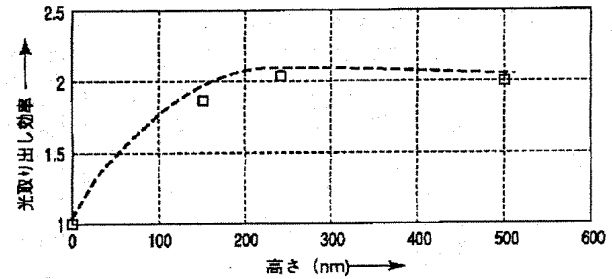
【図9】



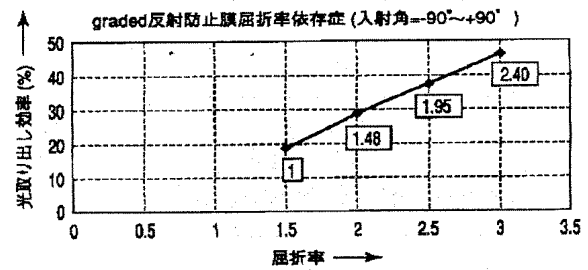
【図11】



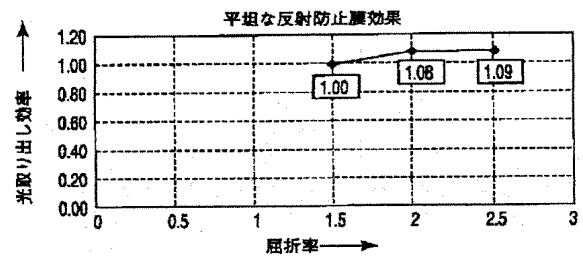
【図10】



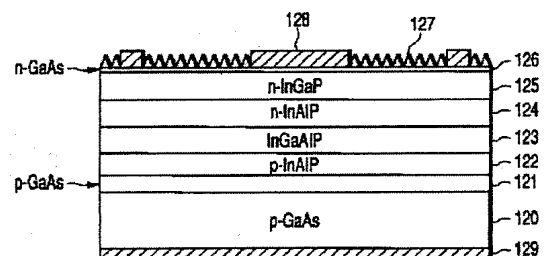
【図12】



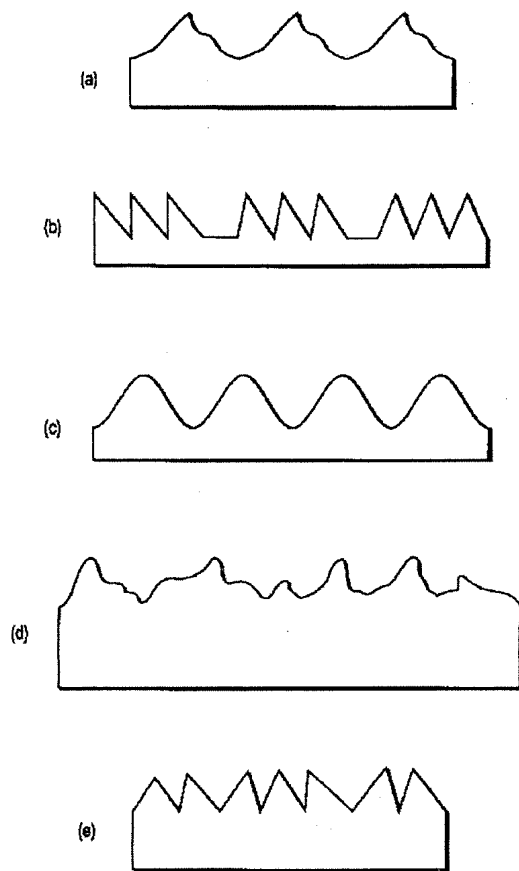
【図13】



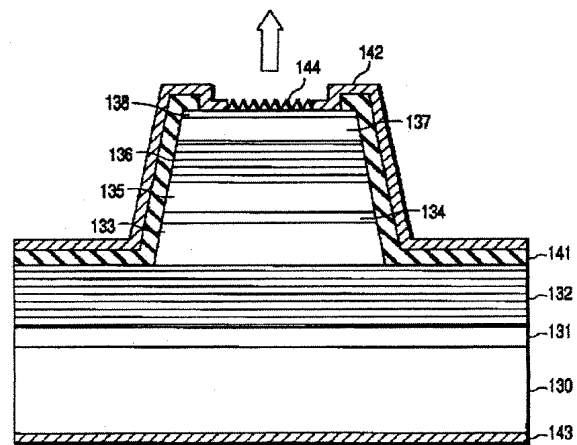
【図15】



【図14】



【図16】



フロントページの続き

(72)発明者 関口 秀樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 山下 敦子
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 滝本 一浩
福岡県北九州市小倉北区下道津1丁目10番1号 株式会社東芝北九州工場内

(72)発明者 高橋 幸一
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F041 AA03 CA04 CA12 CA34 CA65
CA76 CA77 CA88 CA93 CA99
5F045 AA04 AB17 AC01 AF04 CA10
DA53

JP 2003-174191 A5 2005.9.29

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 2 区分
【発行日】 平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】 特開 2003-174191 (P2003-174191A)
【公開日】 平成 15 年 6 月 20 日 (2003.6.20)
【出願番号】 特願 2002-179915 (P2002-179915)
【国際特許分類第 7 版】

H 0 1 L 33/00

H 0 1 L 21/205

【F I】

H 0 1 L 33/00 B

H 0 1 L 21/205

【手続補正書】
【提出日】 平成 17 年 5 月 10 日 (2005.5.10)
【手続補正 1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられた複数の錐体状の突起物とを具備してなる面発光型の半導体発光素子であって、

前記複数の突起物における底面と側面との交差角度は、30 度以上で 70 度以下に設定されていることを特徴とする半導体発光素子。

【請求項 2】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に透明電極が形成され、前記突起物は前記透明電極の直下のクラッド層の表面に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 3】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記突起物は前記電流拡散層の表面に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 4】

前記活性層は InGaAlP であり、前記クラッド層は InAlP であることを特徴とする請求項 2 又は 3 記載の半導体発光素子。

【請求項 5】

前記突起物は、円錐又は角錐であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 6】

前記光取り出し面側における前記突起物の占有面積の割合は、50% 以上であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 7】

前記突起物は周期的に設けられており、周期は 0.5 μm 以上であることを特徴とする請求項 1～3 の何れかに記載の半導体発光素子。

【請求項 8】

前記突起物は、その90%以上が前記交差角度30度以上70度以下を満足するものであることを特徴とする請求項1～3の何れかに記載の半導体発光素子。

【請求項 9】

主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜とを具備してなる半導体発光素子であって、

前記半導体多層膜の前記基板と反対側の光取り出し面が多数の凹凸形状を有するように粗面加工され、この粗面加工された面における各凹凸の頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長 λ 以下に設定され、前記凹凸の周期は0.5 λ 以下に設定されていることを特徴とする半導体発光素子。

【請求項 10】

主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に設けられ、表面が複数の凹凸形状を有するように粗面加工された反射防止膜とを具備してなる半導体発光素子であって、

前記反射防止膜の各凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長 λ 以下に設定され、前記凹凸の周期は0.5 λ 以下に設定されていることを特徴とする半導体発光素子。

【請求項 11】

主面を有する基板と、前記基板の主面上に形成された、発光層を含む半導体多層膜と、前記半導体多層膜の前記基板と反対側の光取り出し面側に部分的に形成された第1の電極と、前記半導体多層膜の光取り出し面側に前記第1の電極を除く部分に設けられ、表面が多数の凹凸形状を有するように粗面加工された反射防止膜と、前記基板の裏面側の全面に形成された第2の電極とを具備してなる半導体発光素子であって、

前記反射防止膜の凹凸における頂部と底部との距離（凹凸の高さ）は、50nm以上で且つ前記発光層における発光波長 λ 以下に設定され、前記凹凸の周期は0.5 λ 以下に設定されていることを特徴とする半導体発光素子。

【請求項 12】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に透明電極が形成され、前記透明電極の直下のクラッド層の表面が粗面加工されていることを特徴とする請求項9記載の半導体発光素子。

【請求項 13】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記電流拡散層の表面が粗面加工されていることを特徴とする請求項9記載の半導体発光素子。

【請求項 14】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の基板と反対側のクラッド層上に電流拡散層が形成されていることを特徴とする請求項10記載の半導体発光素子。

【請求項 15】

前記半導体多層膜は活性層をクラッド層で挟んだダブルヘテロ構造部を有し、このダブルヘテロ構造部の前記基板と反対側のクラッド層上に電流拡散層が形成されたものであり、前記第1の電極及び反射防止膜は前記電流拡散層の表面に形成されていることを特徴とする請求項11記載の半導体発光素子。

【請求項 16】

前記活性層はInGaAlPであり、前記クラッド層はInAlPであることを特徴とする請求項12～15の何れかに記載の半導体発光素子。

【請求項 17】

前記反射防止膜の屈折率は、前記半導体多層膜の光取り出し面側に充填する透明樹脂よ

りも高く、且つ前記半導体多層膜の最上層よりも低く設定されていることを特徴とする請求項 10 又は 11 記載の半導体発光素子。

【請求項 18】

第 1 導電型の化合物半導体基板と、前記基板上に第 1 導電型のクラッド層、活性層、及び第 2 導電型のクラッド層を形成してなるダブルヘテロ構造部と、前記ダブルヘテロ構造部の第 2 導電型クラッド層上に形成された第 2 導電型の電流拡散層と、前記電流拡散層上に形成された第 2 導電型のコンタクト層と、前記コンタクト層上に選択的に形成された上部電極と、前記基板の裏面側に形成された下部電極と、前記コンタクト層上で前記電極が形成されてない部分に形成された反射防止膜とを具備してなる半導体発光素子であって、

前記反射防止膜の表面は多数の凹凸を有する形状に粗面加工され、粗面加工による凹凸における頂部と底部との距離（凹凸の高さ）は、50 nm 以上で且つ前記発光層における発光波長 λ 以下に設定され、前記凹凸の周期は 0.5λ 以下に設定されていることを特徴とする半導体発光素子。

【請求項 19】

請求項 1 記載の半導体発光素子を製造する方法であって、

前記半導体多層膜の光取り出し面側に位置し V 族元素として P を含む層を成長する際に、成長時の PH₃ 分圧を 1～20 Pa に設定し、成長表面に前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項 20】

請求項 1 記載の半導体発光素子を製造する方法であって、

前記半導体多層膜の光取り出し面側に位置する所定の層を、先端角が 120 度以下のグラインダーでランダム方向に表面を荒らすことにより、前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項 21】

請求項 1 記載の半導体発光素子を製造する方法であって、

前記半導体多層膜の光取り出し面側に位置し V 族元素として P を含む層を、該層の V 族元素とは異なる V 族元素と水素ガスを用いてアニールすることにより、前記突起物を形成することを特徴とする半導体発光素子の製造方法。

【請求項 22】

請求項 10 又は 11 記載の半導体発光素子を製造する方法であって、

前記反射防止膜の形成に際して、該反射防止膜を塗布形成した後に、凹凸を有する金型でプレス加工することを特徴とする半導体発光素子の製造方法。

【請求項 23】

請求項 10 又は 11 記載の半導体発光素子を製造する方法であって、

前記反射防止膜の形成に際して、該反射防止膜を成膜した後に、グラインダーでランダム方向に表面を荒らすことを特徴とする半導体発光素子の製造方法。

【請求項 24】

第 1 導電型の化合物半導体基板上に、活性層を第 1 導電型のクラッド層及び第 2 導電型のクラッド層で挟んだダブルヘテロ構造部を形成する工程と、前記ダブルヘテロ構造部の第 2 導電型クラッド層上に第 2 導電型の電流拡散層を形成する工程と、前記電流拡散層上に第 2 導電型のコンタクト層を形成する工程と、前記コンタクト層上に表面ラフネス（P-V 値（max-min））が前記発光層における発光波長以下に設定された反射防止膜を形成する工程と、前記反射防止膜を一部除去して露出された前記コンタクト層上に上部電極を形成する工程と、前記基板の裏面側に下部電極を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項 25】

前記凹凸の高さが 200 nm 以上に設定されていることを特徴とする請求項 9, 10, 11, 18 の何れかに記載の半導体発光素子。